

# 9. 單晶片控制之網路交換器控制IC測試系統

謝振中 教授  
大華技術學院 電機系

## 摘要

本文結合基本的電路應用理論與AT89LV51單晶片於網路交換器控制IC測試系統，以最經濟效益的方法完成整個測試系統，使網路交換器控制IC測試環節中，發揮最好的效益並降低測試所花費的成本外，並搭配自動機台提昇測試的產能。經實際與測試機台搭配完成網路交換器控制IC所需測試項目的逐項測試功能，驗證所開發出之單晶片控制之網路交換器控制IC測試系統，確實可提昇測試的產能達到所預期的結果，可為IC測試系統領域相當成功範例。

## 一、前言

積體電路(Integrated Circuit, IC)廣範地運用於資訊、通訊及各類消費性的電子相關產品上，深深影響現代人的生活。以全球科技發展而言，可預見未來IC勢必改變人類的生活習慣。一顆IC的完成累積無數人的心血，從IC設計、晶圓(wafer)製造到封裝(package)、測試(test)任何一個步驟都不可以有所缺失。然而IC測試這最後一道關卡是為IC產業的重要一環，其測試能力的好壞，影響產品效益深具。因此，專業IC之測試需可提供最新的技術與測試能力的專業的能力外，並具快速的處理速度與可有效的品質控管之特徵，應日新月異的市場變化。

一般而言，為對產品有效的加以控管，收集相關資訊提供最完善的品質服務給客戶，IC測試的流程需結合品保與製程從產品的進貨、進料檢驗(Incoming Quality Control, IQC)外，電性抽測(burn in)、雷射打印、品管抽測、產品外觀掃描、真空包裝出貨等功能測試步步流程，雖相當繁瑣然缺一不可。另一方面，提供IC測試的單純化，簡化測試的複雜性，及成本降低之考量，亦為工程人員追尋之目的。本專題結合基本的電路應用理論與單晶片(AT89LV51)控制於網路IC測試系統，以最經濟效益的方法完成整個測試系統，使IC測試環節中，發揮最好的效益並降低測試所花費的成本外，並搭配自動機台提昇測試的產能。經實際與測試機台搭配完成網路IC所需測試項目的逐項測試功能，驗證所開發出之單晶片控制之交換器控制IC測試系統，確實可提昇測試的產能達到所預期的結果，可為IC測試系統領域相當成功範例。

## 二、系統架構與及流程規劃

### 2.1 測試系統架構規劃

網路交換器(switch HUB)的控制器是網路系統中不可或缺之一元，其內之核心IC，符合ISO(International System Organization)的通訊網架構標準，分為七層來管理通訊協定，除具網路七層標準的實體層外，可提供

一個速度為10/100Mbps的乙太網路(ethernet)，並可以雙速、雙工的傳收網路資料更是功不可沒，其中以5埠(port)網路交換器(例如IP175A [2])的控制器最具典型代表性[3,6]。因此本專題針對此IC的特性、功能，規劃開發其測試的系統。此外，為提供IC測試的單純化，簡化測試的複雜性，及成本降低之考量，本專題結合基本的電路應用理論與單晶片(AT89LV51)控制於網路IC測試系統。圖1與圖2所示分為本專題之IC功能測試系統系統架構圖與硬體功能方塊圖。明顯地，由於採用單晶片為控制的核心，取代原有的以PC為核心基礎之控制方式，因此本專題之測試架構相當簡化。此外，本專題增加了自動測試機台界面(interface)，以搭配自動測試機台，提高測試的產能，降低測試的成本，增加企業的競爭力。

### 2.2 測試項目及流程規劃

在整個IC生產體系中，IC測試於整個製程的後段；其主要功能在於檢測IC在製造過程中所發生的瑕疵，並找出造成瑕疵的原因。因此，在IC的製造過程中，「測試」是確保IC產品良率；IC產品對測試的需求分為晶片(circuit probe, 又稱wafer sort)測試與成品測試(package test)兩個階段。晶片測試在晶圓形式時執行，旨在封裝之前區分晶粒(die)的良莠，以避免不必要的浪費。成品測試則在封裝之後執行，以確定在封裝過程之後，該晶片仍符合規格。

由此可知，測試是產品出貨前的必經步驟，首先要確認成品測試所要測試的項目，以及各個項目的測試方法、與測試的條件都要逐項定義。進而設計所需的電路，將電路的控制信號表列清楚，逐項規劃出所有的電路，統計出所需的控制信號的屬性，如是輸入、輸出，電壓規格，及所讀取信號的特性為何，一一表列清楚。為方便軟體撰寫，也確保控制程式信號的正確性，減少錯誤的發生。

晶片測試都採用測試的機台，將IC的數位式邏輯電路、及各項DC、AC的參數都會加以測試，各項測試符合規格才將切開後的晶粒封裝成IC。故最終測試(final test)皆以功能性測試為主，所以規劃電流測試(Current flow through VDD, IDD)[2]、連接(link)、資料接收為測試項目。經綜觀積體電路從晶圓測試至最終測試，所訂定的測試項目太多，會造成測試時間太長，增加測試成本；測試項目過少或不完整，會影響產品的品質。故所有的功能皆要測試，要分析這站所測試的項目，以最合乎效益且可以執行的項目為訂定的標準。圖3所示為基於上述理由所規劃之測試項目及流程。為完整起見，茲將其功能依序分述如下：

IDD TEST: 為各站測試最基本的測試項目，可以快速的檢測出有異常的IC。將IDD TEST項目列在第一項，是因有其必要性及效益的考量，因有些IC其所有功能

(function)都正常，但是因為IDD偏高，此一IC是產品浴缸曲線的早夭期(Early Failure)[1]，可能客戶在使用上只有幾個月的使用壽命，是比須要篩出的IC；在第一項測試篩出與在最後一項篩出，可能以差了數十秒，因此影響測試的經濟效益，故有上述的考量，所以IDD為第一個測試的項目。

LINK TEST：其目的是為防止測試時，漏測試其中的各埠(port)，是為測試項目更嚴謹，而加測試的項目，也是為下一項測試做把關，讓每一個網路埠(port)都可以完整的測試。

CRC [ Cyclic Redundancy Checks] TEST: 第三項也是此站最主要的測試項目，因晶圓測試只偏重於邏輯測試(logic test)，此項目是類比測試(analog test)以補前站的不足。此項重點是資料的接收、解調，傳輸能力的測試，若有其中一項不符合，在資料的『CHECK SUM』 [4]中會有CRC 碼(code)以檢驗出問題，可由此一參數為檢驗目標。

此外，為軟、硬體同時開發以加速設計的流程，並確保測試使用時不會有錯誤的發生，吾等首先需針對所採用之AT89LV51單晶片定義出如圖4 所示知相對I/O接腳。

得一提的是為求測試自動化，以節省人力提高產能，故將自動化的功能加入，與機械結構的設計，設計與自動化測試機器的交握式(Handshake)介面及軟體程式。

### 三、測試系統電路設計

#### 3.1 電源

圖5 所示為電源轉壓電路圖。因待測的IC 電源(power)為2.5V，單晶片也是使用2.5V，而其餘控制電路為TTL電壓為5V，所以在電源的使用及規劃要特別注意。需有電壓位準的轉換電路，以調整信號的電壓準位，方可以準確的認定信號的狀態。此外，為可以準確測量出待測IC的消耗電流，故要在電源設計上分開獨立，專屬供應待測IC電源，要與其它的電源完全隔離，所以我們在電源設計將電源分成兩組，一組為只供應待測IC，如此才可以準確的量測出IC所消耗的電流，另也因為在IC的取放時都要在電源斷電時，電源關(off)的狀態下做取放IC的動作，才不會造成IC 門鎖(latch)的問題，及一些無法預知的問題，導致IC的燒毀。另一組是要持續的供應，因為控制電路與自動機台界面(handler interface)間的電路不可以斷電，會造成自動測試機台(handler)的誤動作，故才要規劃兩組的電源，各組電源都有著不同的功能。待測IC所使用的電源是透過繼電器(relay)的切換，由單晶控制開、關且是獨立的，只供應待測試IC的部份。

#### 3.2 IDD TEST

靜態電流測試(Current flow through VDD of Quiescent state, IDDQ)，能偵測出許多以邏輯測試法無法測得之障礙。然在深次微米的領域裏，電晶體的通道減小，次臨界漏電流增加，靜態電流測試變得很困難。隨著超大型積體電路趨向複雜，電晶體的漏電流增加，對未來靜態電流產生很大的衝

擊，為解決此問題。電流測試將可以測試出有異常的IC，當量測電流有異常時，電流過大或太小都要判定不良品(fail)。

為可以測量出待測IC的消耗電流，設計如圖 6所示之IDD 測試電路圖。因為當IC有問題時，通常會因為IC的瑕疵，造成電流會比較大，此時電壓會下降，故以此特點來做測試的條件，採用比較電壓的方式，用比較器做電壓的比較，設定一個基準電壓，與待測IC的電壓做比較，比設定的基準電壓低，電流值就會比較大，故將依此判斷IC是否良品(pass)此項功能。

#### 3.3 LINK TEST

乙太網路的標準是每一埠，都會發送出一個『LINK PULS』到遠端，此一LINK PULS為辨識使用，網路的速度(10/100Mbps)[6]，以及有無連接上等，因此，將以此一特點為測試的條件。

在IC的設計之初，以將一些測試電路加入IC之中，將每一LINK PULS 『AND』起來，輸出一個結果為LINK\_ALL信號，如此亦簡化測試的電路。因此，為測試每一的PORT的狀況，所以要確認每一個埠都接上測試系統，及每一埠『PORT LINK』功能正常與否，故有此項的功能，從單晶片讀入是否都有LINK\_ALL的信號，當信號為HI表示5 埠都有連接信號(LINK PULS)。

檢查是否每一個埠都有正常連接，如果有任一個埠沒連接都要判定不良品。

#### 3.4 CRC TEST

交換機有三種資料處理方式[4]：(1) Store-and-Forward Ethernet是以封包方式來傳遞資料，接收到完整的資料包後，校驗好壞，好的轉發，壞的丟棄重發。傳輸可靠，但延時較長。封包長度可以從64位元組到1518位元組，最前面12位元組指出來源 (source) 與目的(destination)MAC 位址，最後面4位元組則是FCS介以核對封包的正確性；store-and-forward會接收整個封包並置於資料緩衝區，再核對其封包的正確性，若封包有誤則整個封包將被拋棄，如此一來可以保持封包的正確性，但相對地將造成較長的延遲時間 (latency)。(2) Cut-Through 只偵測最前面封包的位址，便把封包往目的位址傳送，如此可縮短延遲時間，但是錯誤封包也跟著傳遞過去，未加以檢核。(3)Modified cut-Thought 或者稱為Fragment Free 則是僅接收封包前面64位元組之後開始處理封包，因為大部分封包的正確性從前面64位元組即可正確決定，因而兼顧封包傳遞的速度與正確性。

確認每一埠在接收的資料是否正確，確保IC的電路、功能是好的。只要有任一埠，發生一筆接收資料錯誤，由檢查CRC的結果來判定IC的良品、不良品。

CRC ERROR 是乙太網路中有定義的，每一筆資料都會有做『CHECK SUM』記錄在CRC中，此項目便是逐一檢查比對，每一埠)都有一個CRC的檢查信號輸出，將每一埠的CRC輸出讀取比較，依此一信號判斷待測IC有無發生CRC EOEER，有無錯誤。如有錯誤將判定不良品。

### 3.5 自動化部份

測試機台測試系統的界面(interface)關係，由測試機台會發出測試開始的信號，測試系統收到此一信號，便開始測試的程序，當測試系統測試完，將會發送BIN的信號，測試系統依我們設計時的需求，將分為PASS(BIN1)、FAIL(BIN2)兩種信號，測試機會依所收到的信號做分類。其中之各測試系統電路設計說明如下：

#### 3.5.1 TEST START 與 END OF TEST

圖6 所示為測試開始(TEST START, TS)與測試結束(END OF TEST, EOT)電路圖，是為求測試系統可以自動化上測試機台，及亦可手動人工測試，可以兩者共用，故在設計上都有考慮，所以手動的部份加上按鍵，以按鍵來觸發測試開始的信號，給測試系統，自動化的部份有個界面，由測試機台發送測試開始的處發信號。如果觸發信號直接由單晶片接收，由軟體一直不斷的檢查，會有錯過的機會，且因為測試開始只有一次的機會，信號只有不到20m秒的長度，所以為求保險的原因，加上74LS74有門鎖(latch)的功能，測試系統去判讀時就不會錯過了。本專題設計有一個LED以方便我們確認信號是否有發送進來，即其亦有偵錯(debug)的功能。

另不希望我們測試系統測試當中，測試開始有任何的干擾信號，而造成誤動作，所以74LS74也有此項的功能，故希望在測試中可以一直鎖住測試開始的信號，直到測試系統測完所有的項目，後再做解除的動作，為了不再多一個控制信號的輸出，且測試結束的信號恰巧可以利用，故用測試結束來做解除測試開始信號門鎖。當測試完畢時，測試系統會送一個信號給測試機台，告知測試系統測試程序完成，此信號還要配合良品或不良品的信號，缺一不可，少一個信號測試機台將無法判別。

#### 3.5.2 PASS與FAIL TEST

PASS與FAIL電路是測試系統送給測試機台的信號，告訴測試機台待測IC的結果，是良品的要與EOT的信號配合方可以接受，缺一不可，其電路設計如圖8所示。但是良品、不良品信號不可以同時出現，如果同時出現兩個信號，自動測試機台，將無法分辨出測試的結果，是良品還是不良品，所以要控制好時序不可以有錯誤，如圖9所示為其信號的時序圖。

### 3.6 單晶片軟體流程

本專題中之控制核心為單晶片AT89LV51，其軟體流程如圖10所示。

## 四、結果與討論

本專題之實體照片圖與測試界面軟體動態實測視窗圖分別如圖11 與圖12所示。配合測試界面軟體，逐項目測試如第二節所述之測試，並確認是否與規劃設定的一樣的結果相同，將有問題的IC測試是否可以測試出不良品的情形。利用各項狀況的模擬，以檢驗測試系統軟、硬體是否可以處理，以及處理的結果正確與否。

此次的專題規劃設計中，是將一個整體想法與實際的整合，完成一個實質的測試系統。在設計之初有很多的問題及困難，經由討論、測試與電路整合，最後經由的實際驗證本專題確實可以達到簡化測試的設備，降低測試的成本，以創造更多的利潤之設計目標。值得一

提的是因待測的IC 電源為2.5V，單晶片也是使用2.5V，而其餘控制電路為TTL電壓為5V，所以在電源的使用及規劃要特別注意。需有電壓位準的轉換電路，以調整信號的電壓準位，方可以準確的認定信號的狀態。此外，為求自動化的測試功能，將其與測試機台之機械結構做整合，將測試系統結合於測試機台上，需要轉接的機構，這些接觸將會對良率產生很大的影響，所以IC的測試座接合一定要精準，壓合的力量要足夠，方可以提供好的測試接觸，因為有些PIN腳的信號頻率較高，有些信號較敏感，這些都會影響測試的結果。

## 五、結論

結合基本的電路應用理論與AT89LV51單晶片控制於網路IC測試系統，以最經濟效益的方法完成整個測試系統，使IC測試環節中，發揮最好的效益並降低測試所花費的成本外，並搭配自動機台提昇測試的產能。經實際與測試機台搭配，本專題所開發出之單晶片控制之網路IC測試系統，確實可以最低的測試成本提昇測試的產能，完成網路IC所需測試項目的逐項測試功能。

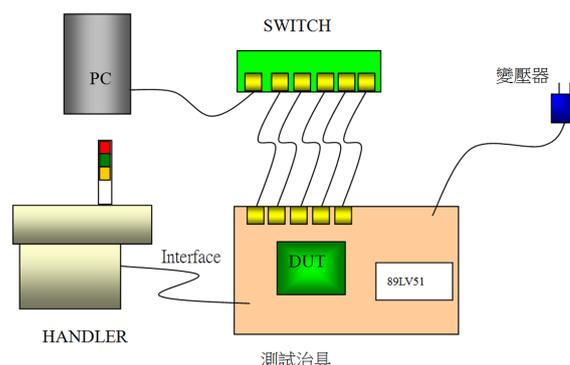


圖1 單晶片控制之網路交換器控制IC測試系統架構圖

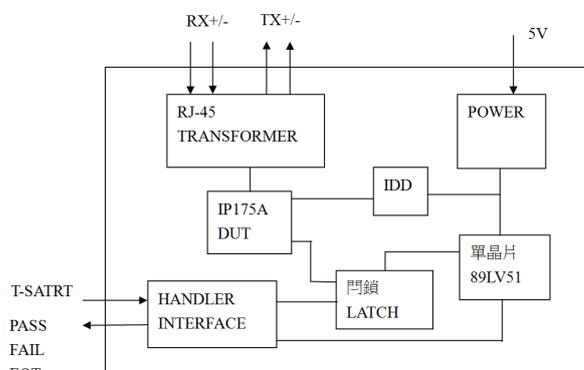


圖2 單晶片控制之網路交換器控制IC硬體功能方塊圖

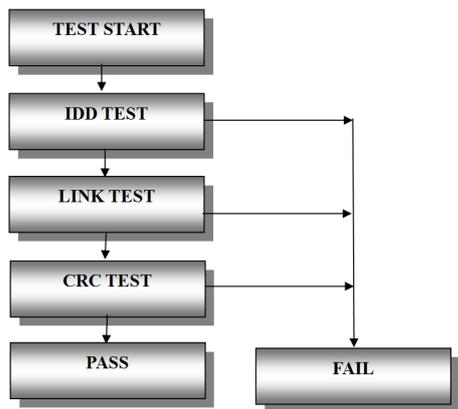


圖3 測試項目流程圖

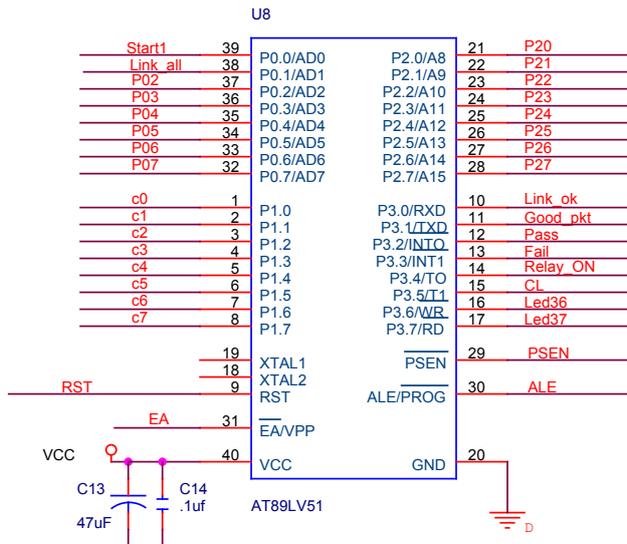


圖4 單晶片電路圖

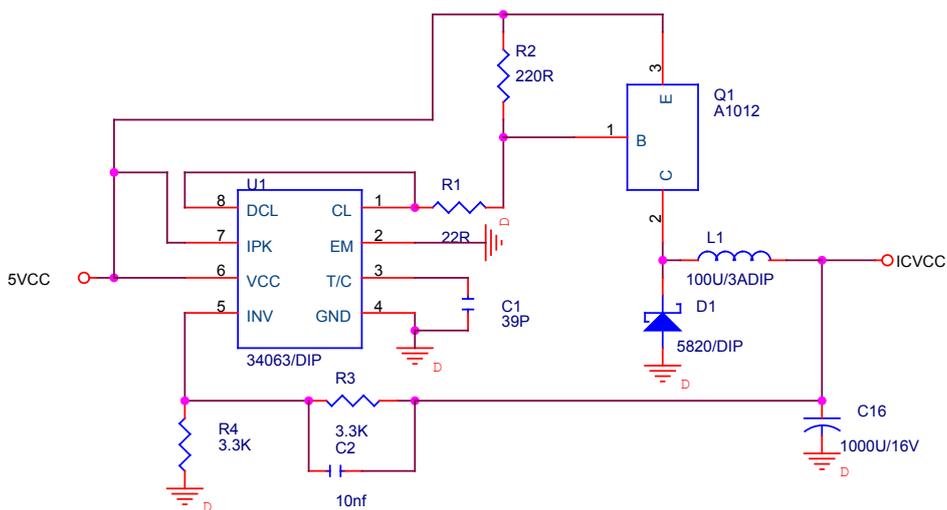


圖5 電源轉壓電路圖

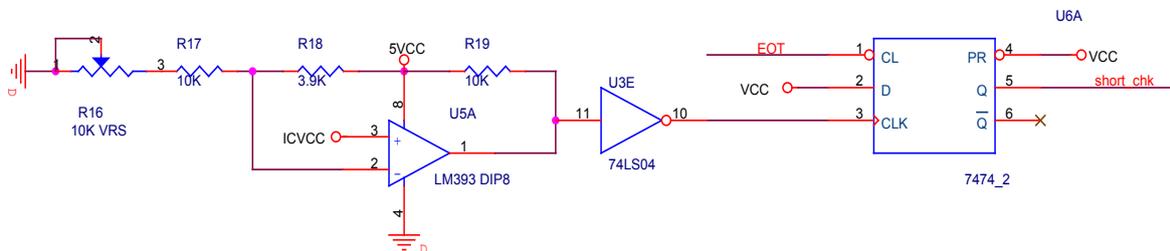
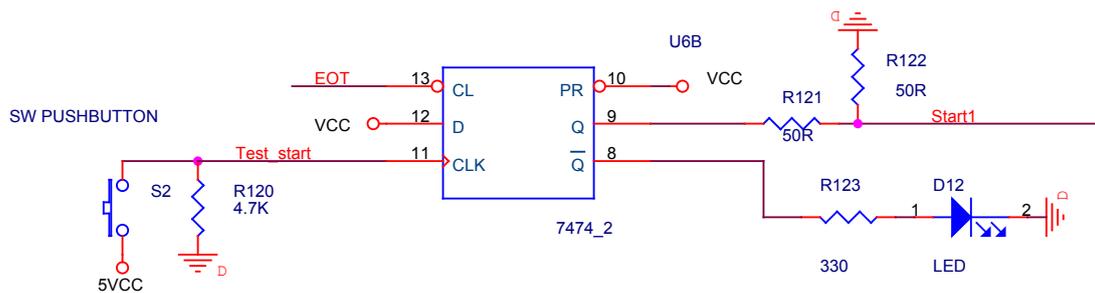


圖6 IDD 測試電路圖



7(a) TS 電路圖

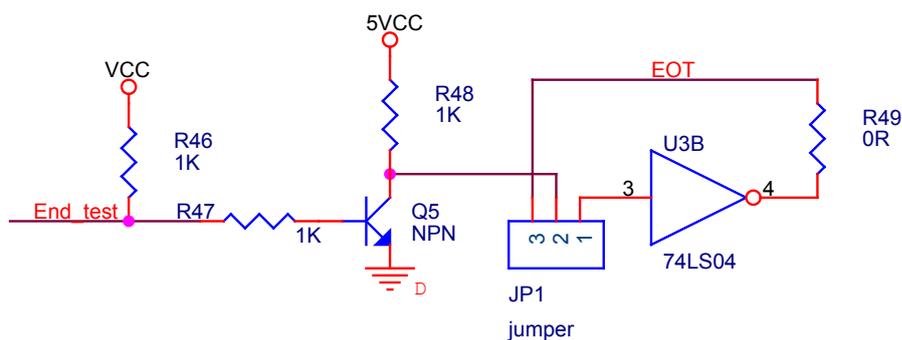


圖7(b) EOT 電路圖

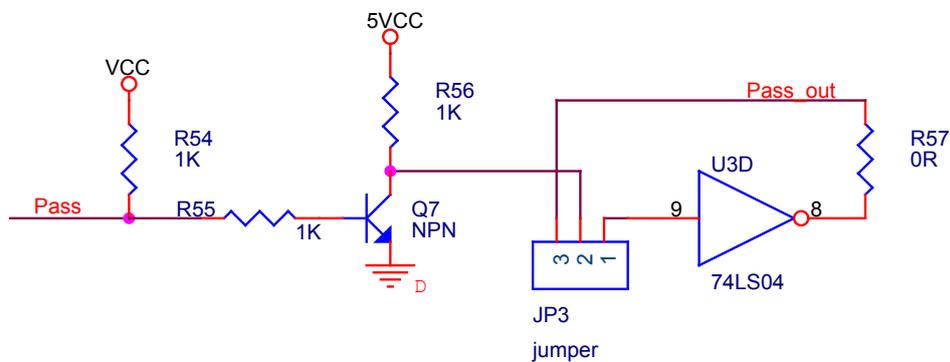


圖8(a) PASS 電路圖

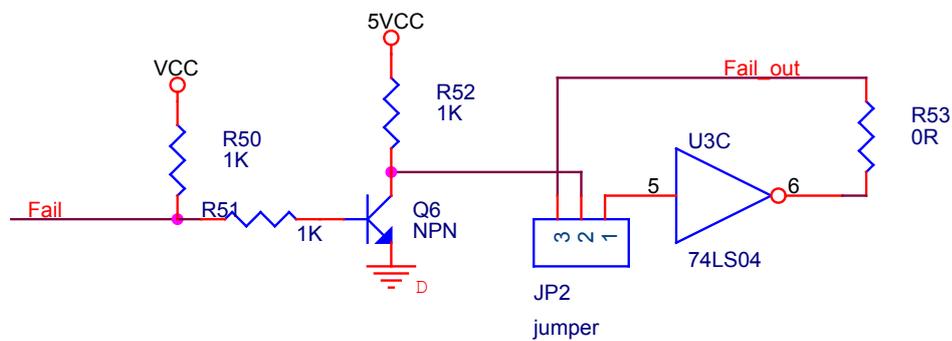


圖8(b) FAIL 電路圖

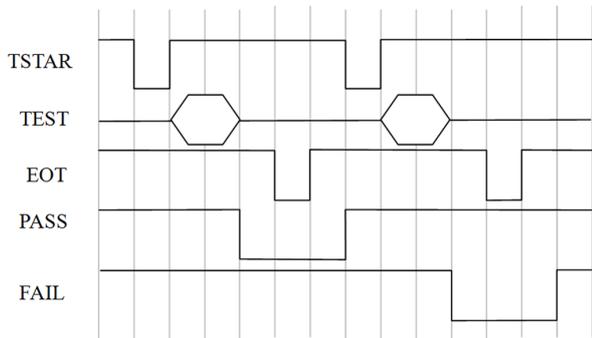


圖9 HANDLER 介面時序圖

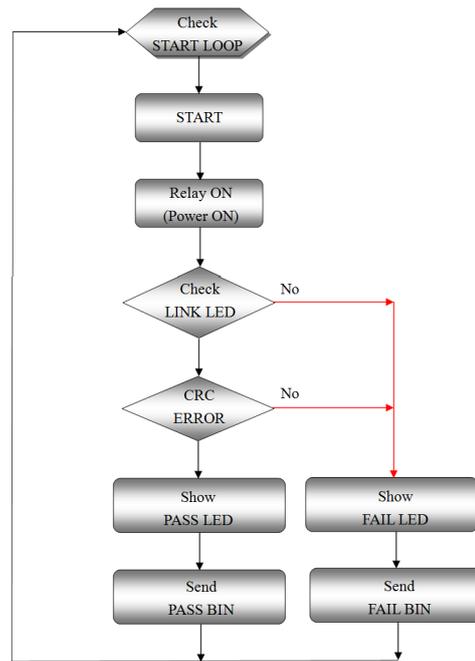
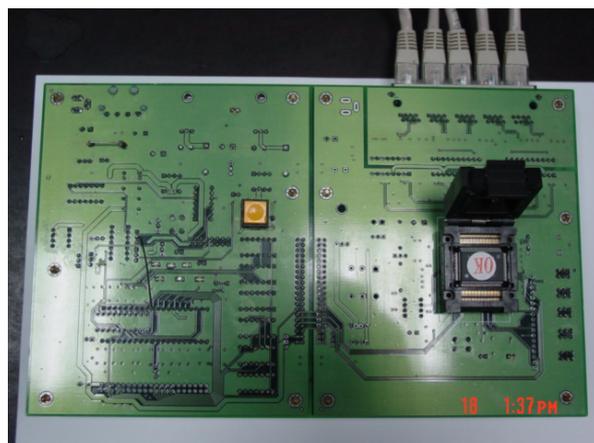


圖10 測試軟體流程圖

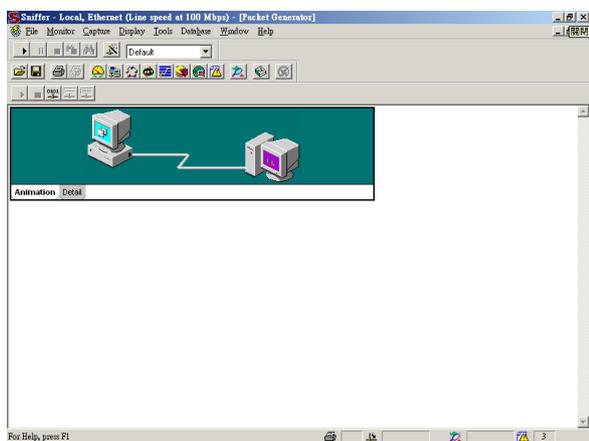


(a) 上視圖

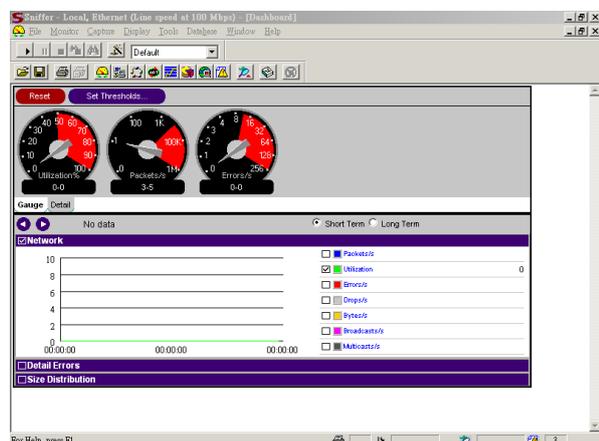


(b) 下視圖

圖 11 本系統測試治具實體照片圖



(a) 連接實測視窗圖



(b) 顯示實測視窗圖

圖 12 測試界面軟體動態實測視窗圖

## 參考文獻

- [1] Seshan, K, “The Quality and Reliability of Intel’ s Quarter Micron Process,” Intel Technology Journal, 1998.
- [2] IP175A Datasheet, IC Plus Corp., 2002.
- [3] 鐘富昭, “8051/8052 系列原理介紹與產品設計” , 全華科技圖書公司, 1996。
- [4] Fletcher J. G., “An Arithmetic Checksum for Serial Transmissions,” IEEE IEEE Transactions on Communications, pp. 247-252, 1982.
- [5] IEEE 802. 3 Standard Document, 1989.
- [6] 黃能富, “區域網路與高速網路” , 維科出版社, 1998。
- [7] Xiaoyun S. and Bapiraju V, “Current Measurement for Dynamic Idd Test,” The 19th IEEE VLSI Test Symposium, Marina Del Rey, CA, USA, pp. 365-371, 2001.
- [8] Taenzler, F.; Novak, T.; Kubalek, E.; “Contactless characterization of microwave integrated circuits by device internal indirect electro-optic probing” , IEEE VLSI Test Symposium, 6-8 April 1993 pp.120 – 122.
- [9] Hamling, D.T., “Automatic bipolar ASIC wafer testing up to 5 GHz,” Proceedings of the 1989 Bipolar Circuits and Technology Meeting, pp.271 – 274, 1989.
- [10] Pirker-Fruhauf, A.; Gallent, W.; Kunze, M.; Pelz, G., “Acceleration of IC verification process using advanced flexible modular measurement systems and software architectures,” IEEE Instrumentation and Measurement Technology Conference, pp.1845 – 1847, 2008.
- [11] Snyder, E.S.; Campbell, D.V.; Swanson, S.E.; Pierce, D.G., “Novel self-stressing test structures for realistic high-frequency reliability characterization,” International Conference on Reliability Physics Symposium, , pp.57 – 65, 1993.
- [12] Zhang Jian; Li Ling-yun; Gu Jian-Zhong; He Wei; Sun Xiao-Wei, “A novel and simple pulsed dc bias test system for power amplifier,” International Conference on Solid-State and Integrated Circuit Technology, pp. 2142 – 2144, 2006.
- [13] Branson, C., “A high performance, 10-volt integrated pin electronics driver,” International,” Test Conference on Meeting the Tests of Time, pp.846 – 853, 1989.
- [14] Novotny, M.; Jankovsky, J.; Szendiuch, I. “Chip Power Interconnection,” International Spring Seminar on Electronics Technology, pp.183 – 186, 2007
- [15] West, Gary L.; Nagle, H. Troy; Nelson, Victor P., “ Microcomputer-Controlled Testing System for Digital Integrated Circuits,” IEEE Transactions on Industrial Electronics and Control Instrumentation, pp. 279 – 283, 1980.